

基于反射式共聚焦显微镜的高速数据传输系统设计

宣辰杰, 薛 萌, 郭汉明

(上海理工大学 光电信息与计算机工程学院, 上海 200093)

摘要: 为满足反射式共聚焦显微镜中数据传输速率和成像帧率指标, 同时配合振镜的扫描方式, 设计了一种基于FPGA的千兆以太网高速传输系统。共聚焦显微镜由振镜扫描构成二维图像, 由于振镜特性造成的行扫描时间不固定, 导致图像重构时每行的数据点数会存在细微偏差, 上位机无法在一维的数据流中根据不同的行点数重构二维图像。鉴于此, 设计一种基于UDP协议的信息插入模块, 在每个UDP包中插入对应图像的帧、行、包以及行点数信息, 上位机可根据UDP包中的行点数信息进行不同行点数的图像重构。同时, 上位机也可通过帧、行、包信息判断传输过程中是否存在丢包, 在成像中通过算法将缺失的行数据进行处理, 解决了UDP常见的丢包问题。实验结果验证了传输系统的可靠性与有效性, 经测试以太网实际传输带宽达986 Mbps, 帧率可达42 fps, 实现了反射式共聚焦显微成像系统所需要的高速数据传输。

关键词: FPGA; 以太网; DDR3; 高速传输; 共聚焦显微镜

DOI: 10.11907/rjdk.242037

扫描二维码阅读全文:



中图分类号: TP302.1

文献标识码: A

文章编号: 1672-7800(2026)003-0100-07

Design of High-speed Data Transmission System Based on Reflective Confocal Microscope

XUAN Chenjie, XUE Meng, GUO Hanming

(School of Optical-Electrical and Computer Engineering, University of Shanghai for Science and Technology, Shanghai 200093, China)

Abstract: In order to meet the requirements of data transmission rate and imaging frame rate index in reflective confocal microscope, and with the scanning mode of galvanator, a Gigabit Ethernet high-speed transmission system based on FPGA (Field Programmable Gate Array) is designed. Confocal microscope scanning consists of vibration mirror two-dimensional image, due to the line scan time is not fixed, resulting in the image reconstruction each line data points will be slight deviation, the upper machine cannot be in one-dimensional data flow according to different line points reconstruction two-dimensional image. In this paper, an information insertion module based on UDP protocol is designed to insert the frame, row, package and row point information of the corresponding image in each UDP package. The upper computer can reconstruct the image of different row points according to the row point information in the UDP package. At the same time, the upper computer can also judge whether there is packet loss in the transmission process through frame, row and packet information, and process the missing row data through the imaging algorithm, solving the common packet loss problem in UDP. The experimental results verify the reliability and effectiveness of the transmission system. After testing, the actual transmission bandwidth of Ethernet reaches 986 Mbps, and the frame rate can reach 42 fps, realizing the high-speed data transmission required by the reflective confocal microscopic imaging system.

Key Words: FPGA; Ethernet; DDR3; high-speed transmission; confocal microscope

收稿日期: 2025-01-09

基金项目: 上海市地方能力建设项目(2101502900)

作者简介: 宣辰杰(2000-), 男, 上海理工大学光电信息与计算机工程学院硕士研究生, 研究方向为嵌入式应用、光电检测技术、微弱信号处理; 薛萌(1996-), 男, 上海理工大学光电信息与计算机工程学院博士研究生, 研究方向为嵌入式应用、光电检测技术、微弱信号检测; 郭汉明(1977-), 男, 博士, 上海理工大学光电信息与计算机工程学院教授、博士生导师, 研究方向为纳米光学显微成像及检测、拉曼光谱仪及光谱数据分析算法、光学矢量衍射及其应用、光电检测技术。本文通讯作者: 郭汉明。

0 引言

激光扫描共聚焦显微成像技术在生命科学、医疗检测和工业检测等领域得到广泛运用, 反射式共聚焦显微镜作为其重要分支, 在皮肤影像学诊断中发挥关键作用^[1-2]。该技术采用共振振镜扫描的原理构成二维图像, 具备高横向、高纵向分辨率的特点^[3]。目前, 许多领先的反射式共聚焦扫描成像仪对帧率和实时性提出更高要求, 实现了高分辨率、高帧率的大视场成像, 大数据的高速传输成为仪器研发过程中的重大挑战^[4]。

国内关于反射式共聚焦显微成像仪高速数据传输的研究起步较晚, 大多数仪器尚难满足高分辨率、高帧率的传输要求。同时, 鉴于振镜通过区域扫描以构建二维图像的工作原理, 现有的传输系统都难以根据振镜的运动方式实现准确的数据传输。例如, 胡茂海等^[5]研发的共聚焦扫描仪扫描一帧图像时需要 2 s, 成像速度最快仅为 0.5 fps。美国密歇根大学研发的基于 MEMS 的激光共聚焦内窥镜, 单帧像素为 227×19, 尽管其帧率可达到 50 fps, 但单个像素按 16 bits 计算, 传输速率也只有 3.4 Mbps^[6]。刘创等^[7]使用的反射式共聚焦成像仪成像速度可达到 9 fps, 但面对高实时性的成像系统, 依然难以满足要求。中国科学院长春光机所研发的反射式共聚焦显微成像仪, 单帧分辨率可以达到 512×512, 根据振镜可以得出扫描帧率为 22.7 fps, 每个像素按照 16 bits 计算, 传输速率最大也就 95 Mbps^[8]。而已经产品化的尼康卓越 A1 共聚焦显微镜, 其帧率可达 230 fps, 单帧像素为 512×64, 单像素按 16 bits 计算得到传输带宽也就 120 Mbps。这表明, 反射式共聚焦显微镜高速传输研发仍有一定的提升空间。因此, 高速数据传输相关研究具备重要现实意义。

针对反射式共聚焦显微镜存在的数据传输带宽不足和帧率偏低等问题, 以及振镜扫描所导致的行点数差异, 本文设计了一种基于千兆以太网的高速传输系统, 系统引入 DDR3 缓存机制, 以解决系统写入带宽过大的问题^[9-13]。同时, 设计了基于 UDP 协议的信息插入模块, 有效解决了由行点数不同而导致的图像重构难题和 UDP 丢包问题^[14-15]。经实际测量, 以太网传输系统最大传输带宽可达 986 Mbps, 帧率可达 42 fps, 在确保数据准确性的基础上, 显著提升了数据传输带宽, 在针对大视场、高分辨率、高帧率的成像系统中发挥了关键作用^[16]。

1 系统整体架构设计

基于反射式共聚焦显微镜的高速传输系统整体架构如图 1 所示。系统选取 Xilinx 系列的 XC7A35TFGG484-2 型号的 FPGA (Field Programmable Gate Array) 芯片作为主控核心。ADC 完成对模拟信号的采集, 随后振镜系统根据

扫描轨迹给出帧、行信号, 传输系统根据该信号将对应每行的数据写入传输组件。传输系统搭建 DDR3 模块以实现数据的缓存, 选取 Micron 公司的 MT41J128M16JT 125 型号的 DDR3。此外, 设计 FIFO (First Input First Output) 对数据进行跨时钟域处理及位宽转换, 设计千兆以太网收发模块, 选取 Realtek 公司的 RTL8211 PHY 芯片实现上位机与 FPGA 之间的数据传输。以太网接收端负责解析上位机指令, 实现上位机对下位机的启、停控制, 以太网发送端实现成像数据的高速传输。

高速传输系统整体采用流水线式传输架构, 成像数据一旦写入传输组件, 各级 FIFO 与 DDR 之间便能自动根据设定需求进行数据的读写, 各模块数据实现自动传输, 最大程度提升了系统传输效率。同时, 在存储判断模块中引入反压机制, 源头数据源源不断产生, 当传输组件中的 FIFO 或 DDR 即将溢出时, 系统通过反压机制丢弃来不及处理的整帧数据, 从而有效解决源头数据写入带宽过大的问题。同时, 根据振镜行信号, 将每行不同的点数统计写入 RAM (Random Access Memory) 中, 便于后续 UDP 插包模块调用, 支持上位机根据不同行点数重构图像。

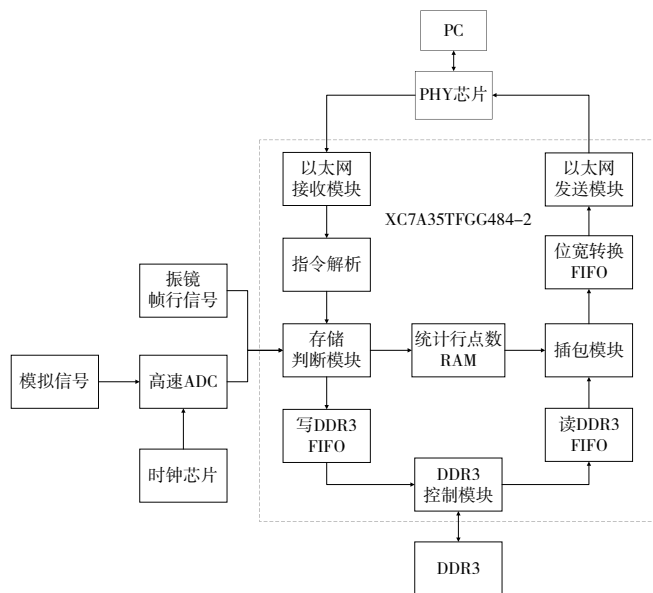


Fig. 1 High-speed transmission system structure based on FPGA

图1 基于FPGA的高速传输系统结构

2 FPGA实现千兆以太网传输逻辑

2.1 系统整体传输流程

本文设计的高速传输系统整体流程如图2所示, 基于反射式共聚焦显微镜搭建千兆以太网传输系统, 实现视频流成像。系统设计流水线式传输架构, 引入反压机制和DDR3缓存机制以解决源头数据带宽过大的问题, 实现最大化传输效率。

系统首先搭建了千兆以太网接收模块, 解析上位机传输指令。系统上电后, 模块等待上位机传输开启指令, 下

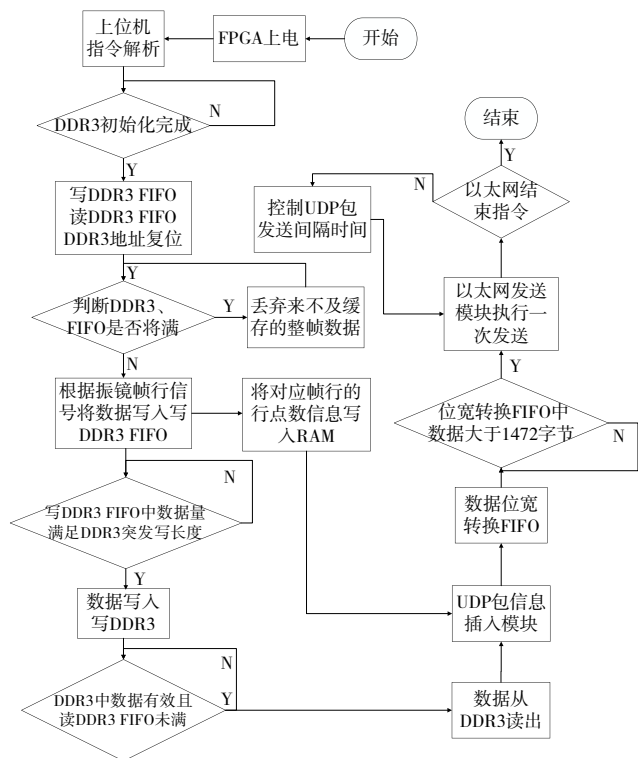


Fig. 2 Overall transmission flow

图2 总体传输流程

上位机成功识别后,系统先判断DDR3初始化是否完成,在每次传输开始前,确保DDR3完成初始化操作。随后,对传输组件中的所有FIFO和DDR3进行复位,接着开始将数据写入传输系统中。系统根据振镜输出的帧、行信号,将数据写入第一级写DDR3 FIFO,ADC输出的数据通过JESD204B链路传输至FPGA^[17]。由于前端JESD204B IP核时钟与DDR3 MIG_7Series IP核时钟域不同,数据位宽也不同,因此加入一级FIFO对异步信号进行跨时钟域处理和位宽转换。当写DDR3 FIFO中可读数据量达到DDR3一次突发写阈值要求时,数据将自动写入DDR3,实现系统第一级流水线式传输。当读DDR3 FIFO未读且DDR3中存储的数据有效时,数据将自动读出至读DDR3 FIFO,实现第二级流水线式传输。

在本文研究的反射式共聚焦显微镜中,通过振镜快慢轴协同扫描形成分辨率为2 560×512的二维图像。振镜快轴进行水平方向的扫描,慢轴实现换行,但振镜每行的扫描时间并不完全固定。因此,上位机在接收到以太网传输的数据流中,难以实现对每行不同点数的图像重构。为此,本文在传输系统中加入UDP包信息插入模块,即在每个UDP网络包中插入对应图像的帧、行、包以及行点数信息,上位机收到每个网络包后,可以根据行点数信息进行二维图像重构,这一插包模块有效解决了不同行点数的图像重构难题。同时,考虑到UDP协议存在不稳定的丢包情况,插包模块还为上位机提供了每个网络包的帧、行、包序号,以便上位机判断丢包情况。在视频显示中,上位机通过算法对缺失数据进行处理,其余各行正常显示,保证视

频显示的正确性。对从读DDR3 FIFO中提取的数据进行包信息插入操作后,将数据接入一级FIFO进行位宽转换,当位宽转换FIFO中剩余可读数据量满足一个UDP包所需数据长度要求时,系统将自动产生以太网发送使能信号,并通过UDP包间隙控制模块对UDP包传输间隔进行控制,从而实现系统第三级流水线式自动传输。最后,设计千兆以太网发送模块,基于UDP协议进行成像数据的传输。

2.2 DDR3控制模块逻辑

根据振镜运动方式可得系统扫描帧率为81.65 fps,单帧像素为2 560×512,每个像素按16 bits计算,传输系统的源头写入带宽约为1.7 Gbps。由于千兆以太网的最大传输带宽为1 Gbps,因而引入DDR3进行数据缓存,DDR3作为主流的动态随机存储器,具备高传输速率、低成本、低功耗等优势,在数据缓存领域拥有非常高的市场占有率。本文选择Micron公司旗下MT41J128M16JT 125系列的DDR3进行缓存设计。

在本文设计的高速传输系统中,基于Xilinx系列的MIG IP核,使用AXI协议实现与DDR3的数据交互。DDR3控制模块逻辑如图3所示。程序首先进行DDR3初始化,初始化完成后进入DDR3读写仲裁。由于DDR3采取突发读写的方式进行数据传输,因而DDR3前一级FIFO中的可读数据量需要满足一次突发写数据量,才能执行写操作。接着,DDR3进行写地址、写数据以及等待写响应操作,直到主机收到从机的写响应完成信号,一次突发写数据完成。DDR3的读数据流程与此类似。系统为了避免DDR3输出垃圾数据,在DDR3读数据的判断条件中加入了有效数据的判断,当DDR中没有进行任何写事务操作时,系统将不会执行DDR3读数据操作。因此,控制逻辑框图中DDR3的读数据判断条件是,DDR3中存在有效数据且满足突发读阈值要求,系统才会进入DDR3读数据操作。读数据事务基本与写事务原理类似。

2.3 UDP插包模块控制逻辑

本文搭建了基于UDP协议的千兆以太网传输系统,UDP协议是一种传输速度快、效率高的以太网传输层协议,但其不建立连接,不进行完整性验证,是一种不可靠的通讯协议^[18]。但是,UDP协议在传输时容易发生丢包^[19]。因此,本文提出一种在UDP包中插入特定信息的方案,即在每个UDP包的包头都插入对应图像的帧、行、包信息。上位机在接收完一帧图像数据后,可根据帧、行、包信息判断图像是否存在丢包,将缺失的行数据通过算法进行填充,故该插包模块在一定程度上解决了UDP的丢包问题。此外,振镜行扫描时间不固定,上位机无法进行正确的图像重构,在插包模块中,每个UDP包的包头都加入了每行的行点数信息,上位机可根据此信息进行行数据划分,有效解决了上位机根据不同行点数的图像重构,其详细设计流程如图4所示。

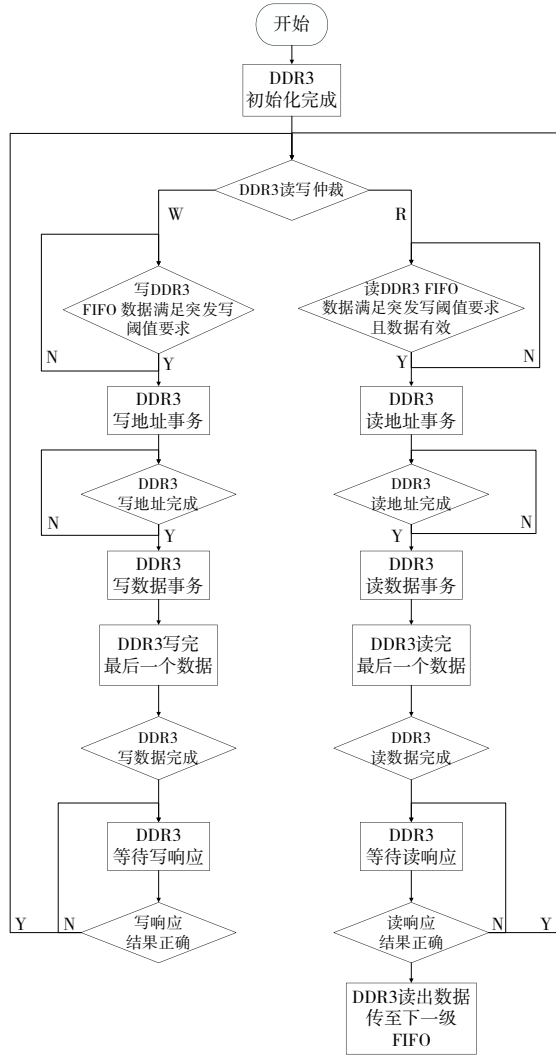


Fig. 3 The DDR3 control logic

图3 DDR3控制逻辑

插包模块设计于读DDR3 FIFO模块后,首先需要判断前级FIFO中的剩余数据量,FIFO可读数据量达到一定阈值后,系统才开始执行插包操作。第二级判断条件设置为位宽转换FIFO中的剩余数据量判断,位宽转换FIFO处于插包模块的下一级。而位宽转换FIFO写数据带宽大于读数据带宽,意味着位宽转换FIFO会出现数据溢出的情况,在已满的情况下继续写入数据,将导致数据缺失。因此,在插包模块的第二级判断中加入反压条件,当位宽转换FIFO达到一定阈值时,不再进行FIFO的写操作,但读操作将持续执行,直到FIFO中的剩余数据量小于设定阈值时,再恢复数据的写入,以此确保数据的有效传输。

在保证位宽转换FIFO正常工作后,程序接下来进行插包信息的获取,传输系统前端会根据振镜的帧、行信号将每行的行点数信息统计写入RAM中,插包模块则设计控制逻辑读取RAM中的信息,将信息作为每个UDP包的头部,拼接对应的行数据写入下一级FIFO中。程序首先根据获取的行点数判断此行需要几个包传输,若行点数只需1个包传输,程序自动跳入尾包流程;若行点数需要大

于等于3个UDP包传输,系统先后进行头包信息插入、拼接数据,再进行中间包信息插入与拼接数据。当行剩余数据不足一个包长度时,进行尾包信息的插入与数据的拼接。若此时尾包数据长度还未满足UDP包设定长度,为了避免邻行数据错位,一个包中只允许存放一行的数据,需要引入补零机制将数据补齐至设定长度。以此循环插入,直至上位机结束指令下发,结束插包流程。

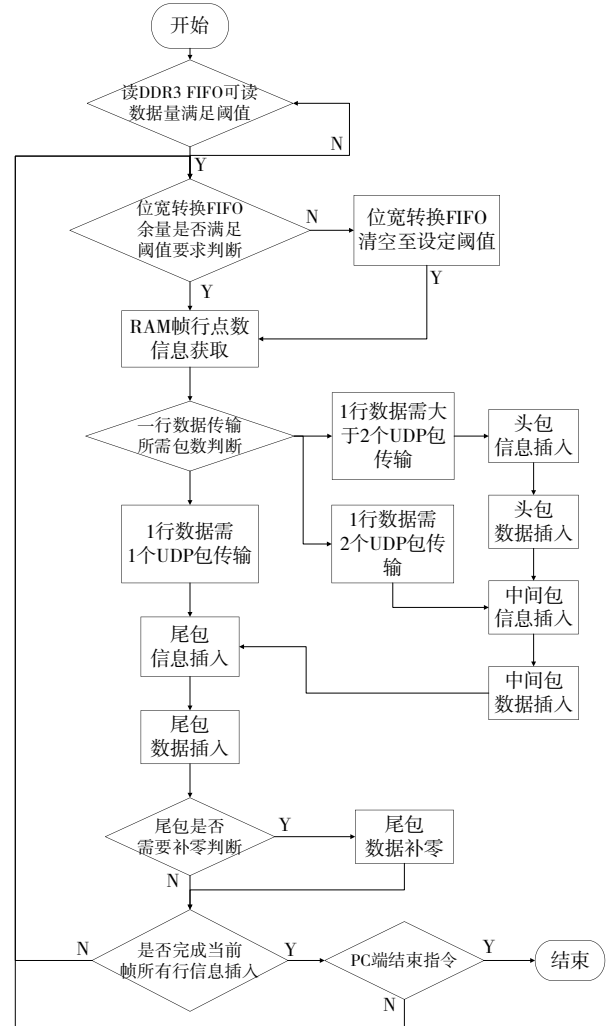


Fig. 4 UDP insert module control process

图4 UDP插包模块控制流程

2.4 千兆以太网传输控制逻辑

本文选取千兆以太网传输作为反射式共聚焦显微镜的高速传输核心,理论传输速率可达1 000 Mbps,以太网传输以高速率、低成本、高稳定性在传输方案中被广泛应用。在设计的以太网传输中,MAC协议负责物理层之间数据的传输,网络层采取IP协议,传输层采取UDP协议。以太网帧数据包格式如图5所示,成像数据将被打包在UDP报文数据中,而UDP协议是基于IP协议,IP协议又是通过MAC层进行传输。其实现过程可细分为如下步骤:将成像数据按照UDP协议的格式打包,接着封装到IP的报文数据中,IP报文头部与IP报文数据被进一步打包成IP协议的格式,并封装到MAC协议中,最后按照MAC协议格式进

行传输。

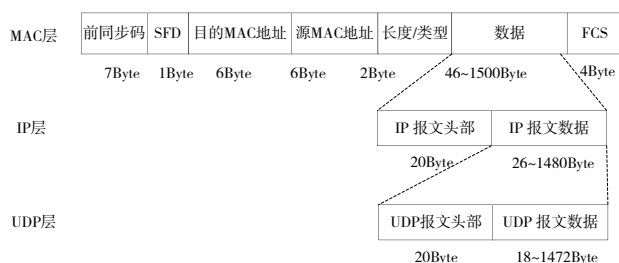


Fig. 5 Ethernet frame data packet format

图5 以太网帧数据包格式

以太网传输控制流程如图6所示。以太网传输模块通过 Verilog 搭建一个状态机,根据图5的流程进行特定格式拼接。首先,构建MAC层协议,将MAC协议所需的前同步码、起始帧定界符(SFD)、目的MAC地址、源MAC地址等按照顺序构建;其次,IP报文头部按照图6所需的版本号、首部长度、源IP地址、目的IP地址等进行构建;再次,将UDP报文头部与成像数据封装成UDP协议的格式进行传输,将数据按照此格式进行封装后,最后利用循环冗余校验CRC算法进行数据校验,以进一步保证数据传输的可靠性^[20]。

3 实验与测试

3.1 FPGA 仿真

为验证传输系统的正确性,采用Xilinx系列的FPGA结合UDP协议完成与上位机之间的数据通信,通过Verilog进行程序设计,使用Vivado自带的仿真平台进行数据的仿真验证。首先,设置相应的源MAC地址、目的MAC地址、源IP地址、目的IP地址、源端口号、目的端口号等一系列

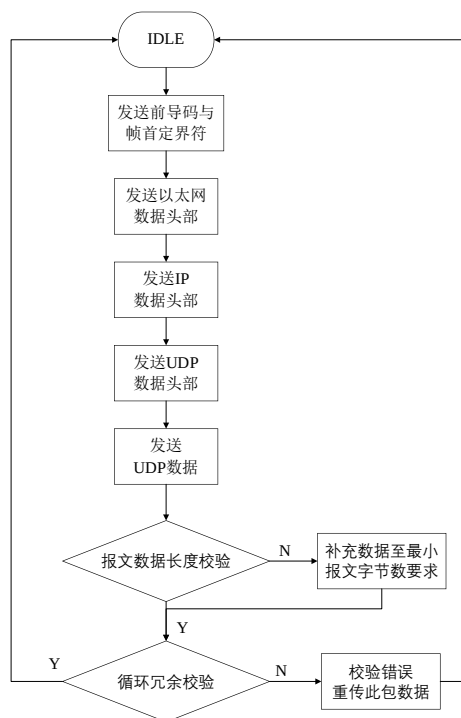


Fig. 6 Ethernet transmission control process

图6 以太网传输控制流程

MAC层协议所需要的信息。其次,根据振镜的帧、行信号,模拟ADC输出的成像数据,由于ADC输出的数据是通过JESD204B链路进行传输,32位输出,因此在仿真测试中模拟产生数据32'h00010002,按规律依次累加,通过仿真观察数据传输的正确性,仿真结果如图7所示。可以得出,以太网数据发送端数据格式符合MAC协议格式,DDR3读写数据正确、UDP插包信息正确,用户数据传输与模拟写入的数据一致,数据传输验证成功。



Fig. 7 Simulation result

图7 仿真结果

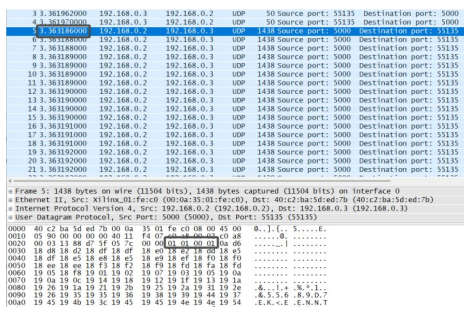
3.2 传输帧率与速率验证

上位机通过Wireshark软件对UDP包进行实时抓取,测试传输系统的成像帧率。基于本文设计的UDP插包信息模块,在每个UDP包中都插入了图像对应的帧号和行号,上位机可以通过抓取传输开始的第1个UDP包和1s后抓取的UDP包,比对两个包中的帧号和行号并计算成像系统帧率。如图8所示,图8(a)和图8(b)的UDP包在Wireshark中显示的抓取时间刚好相差1s,根据图8(a)抓取的包信息可知这是第1帧第1行的第1个包,图8(b)则表示第42帧163行的第2个包。经过多次试验可得,系统在1s后基本稳定在42帧左右,根据该测试方式测得传输

系统的成像帧率在42 fps左右。

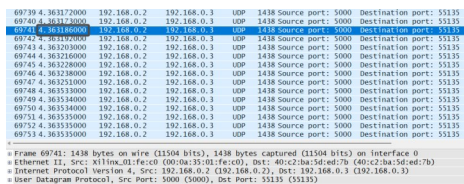
通过运行Windows操作系统自带的任务管理器工具,对以太网传输速率进行实时监控与测试。如图9所示,以太网端口显示传输速率可达到986 Mbps及以上。

通过Wireshark和系统自带的以太网测试工具,分别对帧率和传输速率进行了验证。42帧/s的帧率实现了反射式共聚焦显微镜清晰流畅的视频流成像。同时,986 Mbps的传输带宽也验证了千兆以太网传输方案的可行性。相较于已经产品化的尼康卓越A1共聚焦显微镜,尽管该产品帧率达230 fps,但其单帧分辨率仅为512×64,单个像素按照16bits计算,传输速率也就120 Mbps。相较之



(a) The first UDP packet at the start of transmission

(a) 传输开始的第 1 个 UDP 包



(b) UDP packet after 1 s interval

(b) 间隔 1 s 后的 UDP 包

Fig. 8 Wireshark grabbing UDP packets with a transmission interval of 1 s

图 8 Wireshark 抓取传输间隔 1 s 的 UDP 包

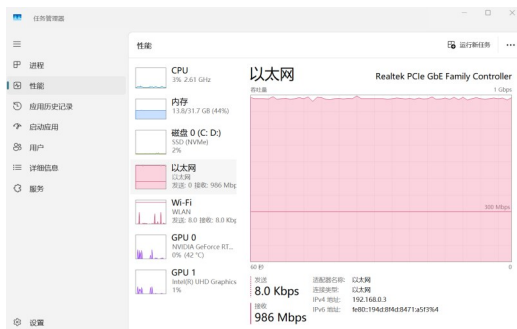


Fig. 9 The Ethernet transmission rate test

图 9 以太网传输速率测试

下, 本文设计的高速传输系统在传输速率指标上已经优于同类产品。

3.3 系统成像测试

为了验证传输系统的准确性, 实验结合了光学、机械、硬件和软件算法, 对整个系统进行了整体实物测试, 如图 10 所示。首先, 激光器发射激光, 通过光学系统将光斑聚焦到样品表面, 样品反射回来的光信号沿原路径返回, 光束经过针孔过滤后, 光学系统的后端连接共振镜进行扫描成像; 其次, 经过振镜反射的信号通过光电探测器进行检测, 并由高速 ADC 加以采集; 最后, 数据通过以太网传输系统传输至上位机, 软件接收并处理数据, 实时显示图像。

图 11 和图 12 分别展示了对人体皮肤和聚酯纤维的检测结果。实验结果清晰呈现了皮肤表层细胞的细致形态, 涵盖了角质层细胞的排列方式和表面纹理的细微特征。

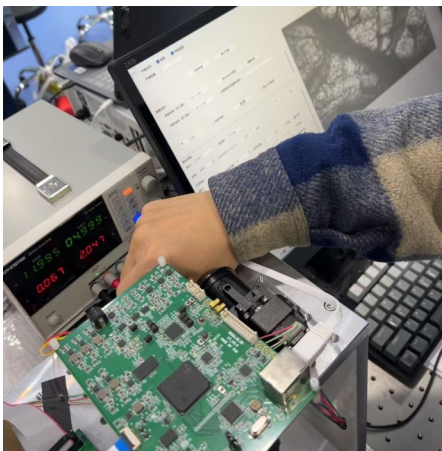


Fig. 10 Physical test of transmission system

图 10 传输系统实物测试

同时, 测试结果也表明, 系统能够准确分辨衣物表层的聚酯纤维。通过联合调试, 传输系统的可行性与数据传输的准确性得到了成功验证。

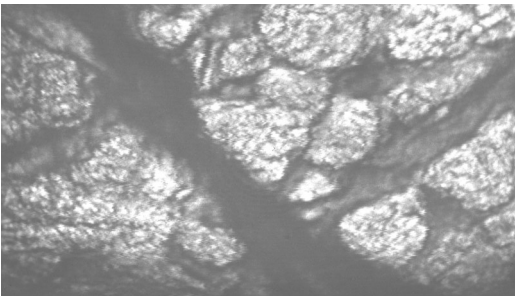


Fig. 11 Skin test

图 11 皮肤测试

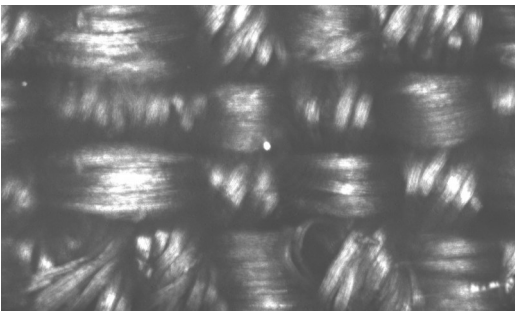


Fig. 12 Polyester fiber test

图 12 聚酯纤维测试

4 结语

本文设计了一种基于反射式共聚焦显微镜的高速传输系统, 该系统以 DDR3 作为数据缓存媒介, 采用千兆以太网作为传输手段。针对共聚焦显微成像中由振镜扫描方式导致的图像行点数差异, 本文设计了 UDP 插包信息模块, 在 UDP 包中提供每行的行点数信息, 从而解决了上位机根据不同行扫描点数进行二维图像重构的难题。此外, 插包模块中还记录了帧、行、包信息, 有效处理了 UDP 协议中的丢包问题。经过光学、机械、电子和算法等多模块的

联合调试,验证了系统数据传输的正确性与稳定性。系统传输带宽达到设计指标,有效提升了反射式共聚焦显微镜的传输速率。实际测试显示,系统传输带宽可达 986 Mbps,实现了 42 帧/s 的视频流成像。

未来工作重点将在下位机层面添加 UDP 协议重传模块,以握手的形式从根本上解决 UDP 协议存在的丢包问题。此外,该系统具备良好的通用性,可广泛应用于其他需要高速数据传输的设备,为各种成像设备提供优质的传输方案。

参考文献:

- [1] ZHANG Y Y, GUO Y, SHEN L. Application of laser scanning confocal microscopy in polymer science research[J]. Polymer Bulletin, 2022, 35(1): 78-85.
张滢滢,郭毅,沈烈. 激光扫描共聚焦显微技术在高分子科学研究中的应用[J]. 高分子通报, 2022, 35(1): 78-85.
- [2] XU H Y, WANG P R, WANG X L. Application of dermoscopy and reflective confocal microscopy in keratinocyte skin tumors[J]. Skin Science Bulletin, 2024, 41(2): 137-142.
徐红艳,王佩茹,王秀丽. 皮肤镜和反射式共聚焦显微镜在角质形成细胞皮肤肿瘤中的应用[J]. 皮肤科学通报, 2024, 41(2): 137-142.
- [3] YANG X F, LIU Z X, WANG P. Confocal intravision microscopy and its applications[J]. Chinese Journal of Lasers, 2022, 49(19): 219-233.
杨雪芳,刘哲晰,王璞. 共聚焦内窥显微成像技术及其应用[J]. Chinese Journal of Lasers, 2022, 49(19): 219-233.
- [4] HONG F L, XUE M, GUO H M. Design of a big data caching and high-speed transmission system based on FPGA[J]. Software Guide, 2023, 22(8): 156-163.
洪方磊,薛萌,郭汉明. 基于 FPGA 的大数据缓存与高速传输系统设计[J]. 软件导刊, 2023, 22(8): 156-163.
- [5] HU M H, YANG X C. Design and implementation of high-speed laser scanning control system for confocal microscope[J]. Applied Optics, 2011, 32(4): 797-800.
胡茂海,杨晓春. 共聚焦显微镜激光高速扫描控制系统设计及实现[J]. 应用光学, 2011, 32(4): 797-800.
- [6] LEE M, LI G, LI H, et al. Confocal laser endomicroscope with distal MEMS scanner for real-time histopathology[J]. Scientific Reports, 2022, 12(1): 20155.
- [7] LIU C, ZHANG Y H, HUANG W, et al. Distortion correction of skin reflective confocal microscopic imaging scans[J]. Infrared and Laser Engineering, 2018, 47(10): 154-159.
刘创,张运海,黄维,等. 皮肤反射式共聚焦显微成像扫描畸变校正[J]. 红外与激光工程, 2018, 47(10): 154-159.
- [8] WANG F Y. Research on microscopic imaging technology of reflective confocal and stimulated Raman scattering systems[D]. Changchun: University of Chinese Academy of Sciences (Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences), 2020.
王方雨. 反射式共聚焦与受激拉曼散射系统显微成像技术研究[D]. 长春: 中国科学院大学(中国科学院长春光学精密机械与物理研究所), 2020.
- [9] ZHOU S Y, PENG X Q. Research and implementation of an image acquisition system based on Zynq and Gigabit Ethernet[J]. Yangtze Information Communication, 2024, 37(6): 48-51.
周晟宇,彭向前. 基于 Zynq 与千兆以太网的图像采集系统研究与实现[J]. 长江信息通信, 2024, 37(6): 48-51.
- [10] LAN W, HAN Y Z, HU X. Design of Gigabit Ethernet port communication based on FPGA[J]. Electronic Technology, 2024, 37(1): 48-54.
兰唯,韩延喆,扈啸. 基于 FPGA 的千兆以太网端口通信设计[J]. 电子科技, 2024, 37(1): 48-54.
- [11] JIAO X Q, LIU S. Design of a high-speed data transmission system based on FPGA for Gigabit Ethernet[J]. Microcontroller and Embedded System Applications, 2023, 23(12): 80-83.
焦新泉,刘帅. 基于 FPGA 的千兆以太网高速数据传输系统设计[J]. 单片机与嵌入式系统应用, 2023, 23(12): 80-83.
- [12] GAO Y H. Read and write training of DDR3 SDRAM memory based on Loongson 2K1000[J]. Ship Electronic Engineering, 2024, 44(5): 120-123, 132.
高延海. 基于龙芯 2k1000 的 DDR3 SDRAM 内存读写训练[J]. 舰船电子工程, 2024, 44(5): 120-123, 132.
- [13] HUANG J Y, ZHAO R H, WANG Q, et al. Design of a DDR3 SDRAM controller based on FPGA[J]. Modern Electronic Technology, 2022, 45(22): 68-74.
黄姣英,赵如豪,王琪,等. 基于 FPGA 的 DDR3 SDRAM 控制器设计[J]. 现代电子技术, 2022, 45(22): 68-74.
- [14] LI H, ZHAO C X, GUAN B. Design of reliable UDP communication based on timeout retransmission and multiple checks[J]. Measurement & Control Technology, 2022, 41(2): 105-110.
李浩,赵晨希,关冰. 基于超时重传和多重校验的 UDP 可靠通信设计[J]. 测控技术, 2022, 41(2): 105-110.
- [15] CHEN M Z. Design of an FPGA remote upgrade system based on UDP[J]. Microcontroller and Embedded System Applications, 2023, 23(2): 80-82, 87.
陈某舟. 基于 UDP 的 FPGA 远程升级系统设计[J]. 单片机与嵌入式系统应用, 2023, 23(2): 80-82, 87.
- [16] SHEN Y H, YANG H, LIU P. High-speed data transmission system for OFDM receiver processing based on FPGA[J]. Modern Information Technology, 2024, 8(3): 79-83, 88.
申育槐,杨环,刘棚. 基于 FPGA 的 OFDM 接收机处理数据高速传输系统[J]. 现代信息科技, 2024, 8(3): 79-83, 88.
- [17] YE S Y, SONG G J, ZHANG C. Design of a JESD204B protocol communication and control module based on FPGA and AD/DA[J]. Electronics and Packaging, 2024, 24(4): 46-52.
叶胜衣,宋刚杰,张诚. 基于 FPGA 与 AD/DA 的 JESD204B 协议通信与控制模块设计[J]. 电子与封装, 2024, 24(4): 46-52.
- [18] XIANG X H, YU H M, YU Z W, et al. Rapid analysis method for the reliability of train UDP data transmission[J]. Railway Communication Signal Engineering Technology, 2024, 21(6): 47-52.
项学海,于昊明,郝兆旺,等. 列车 UDP 数据传输可靠性快速分析方法[J]. 铁路通信信号工程技术, 2024, 21(6): 47-52.
- [19] WU X F, LIU X B, ZHAO Y F, et al. Research on the application of UDP protocol and IP multicast communication model in hydropower plant monitoring system[J]. Journal of China Institute of Water Resources and Hydropower Research, 2024, 22(6): 632-639.
吴小锋,刘晓波,赵逸飞,等. UDP 协议及 IP 组播通信模型在水电厂监控系统中的应用研究[J]. 中国水利水电科学研究院学报, 2024, 22(6): 632-639.
- [20] GUO J, WANG D H, LIU B, et al. Design of a multi-channel shock wave overpressure system based on Gigabit Ethernet[J]. Modern Electronic Technology, 2022, 45(10): 31-35.
郭晋,王代华,刘彬,等. 基于千兆以太网的多通道冲击波超压系统设计[J]. 现代电子技术, 2022, 45(10): 31-35.

(责任编辑:孙娟)